

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-086580  
(43)Date of publication of application : 31.03.1995

(51)Int.Cl. H01L 29/78

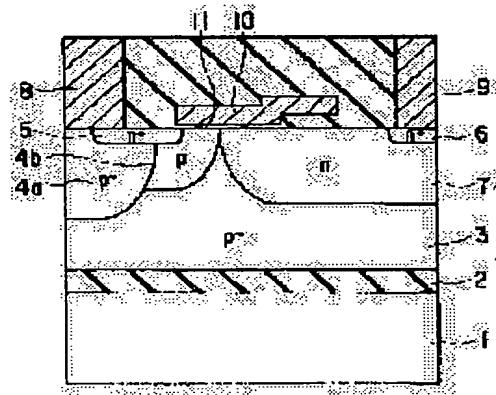
(21)Application number : 05-231281 (71)Applicant : TOSHIBA CORP  
(22)Date of filing : 17.09.1993 (72)Inventor : FUNAKI HIDEYUKI  
NAKAGAWA AKIO

## (54) HIGH-VOLTAGE SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To make it possible to improve insulation separation, withstand voltage and ON resistance at the same by forming elements on an insulating layer, and specifying the impurity concentration and the depth of a second-conductivity type offset layer.

**CONSTITUTION:** In a high-withstand voltage MOSFET, an n<sup>+</sup>-type drain layer 6 is formed in an n-type offset layer 7. Therefore, of course, withstand voltage becomes high in comparison with an ordinary MOSFET. Elements are formed on a semiconductor 1 through an insulating layer 2, i.e., the elements are formed on an SOI substrate. Therefore, the separation between the elements becomes perfect. Furthermore, the diffusing depth of the n-type offset layer 7 is set at 1-2μm, and the dosing amount is set at 2-3 × 10<sup>12</sup>cm<sup>-2</sup>. Therefore, both withstand voltage and ON resistance can be improved. Thus, the high withstand voltage MOSFET, which can accomplish the high drain withstand voltage, is obtained without increasing the ON resistance even if the MOSFET is used for high-side switching by the adoption of the SOI substrate and the optimization of the n-type offset layer 7.



### LEGAL STATUS

[Date of request for examination] 09.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3217554

[Date of registration] 03.08.2001

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-86580

(43)公開日 平成7年(1995)3月31日

(51) Int.Cl.<sup>6</sup>

H 01 L 29/78

識別記号

庁内整理番号

F I

技術表示箇所

7514-4M

H 01 L 29/78

301 X

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21)出願番号 特願平5-231281

(22)出願日 平成5年(1993)9月17日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 舟木 英之

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 中川 明夫

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

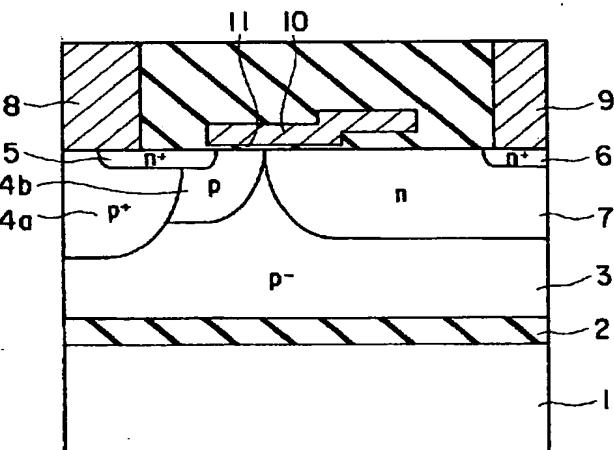
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 高耐圧半導体装置

(57)【要約】

【目的】耐圧、絶縁分離およびオン抵抗を同時に改善できる高耐圧MOSFETを提供すること。

【構成】半導体基板1上に絶縁層2を介して設けられたp-型活性層3と、このp-型活性層3の表面に選択的に形成されたp+型ベース層4aと、このp+型ベース層4aの表面に選択的に形成されたn+型ソース層5と、p-型活性層3の表面に選択的に形成され、絶縁層2に達しないn型オフセット層7と、このn型オフセット層7の表面に選択的に形成されたn+型ドレイン層6と、n+型ソース層5とn+型ドレイン層6との間の領域上にゲート酸化膜11を介して設けられたゲート電極と10を備え、n型オフセット層7は、その拡散深さが1~2μmで、そのドーズ量が2~3×10<sup>12</sup>cm<sup>-2</sup>であることを特徴とする。



## 【特許請求の範囲】

【請求項1】表面が絶縁層である基板上に高抵抗半導体層と、この高抵抗半導体層の表面に選択的に形成された第1導電型ベース層と、この第1導電型ベース層の表面に選択的に形成された第1の第2導電型半導体層と、前記高抵抗半導体層の表面に選択的に形成され、前記絶縁層に達しない第2導電型オフセット層と、この第2導電型オフセット層の表面に選択的に形成された第2の第2導電型半導体層と、前記第1の第2導電型半導体層と前記第2の第2導電型半導体層との間の領域上にゲート絶縁膜を介して設けられたゲート電極とを具備してなり、前記第2導電型オフセット層は、その拡散深さが1～2μmで、そのドーズ量が2～3×10<sup>12</sup>cm<sup>-2</sup>であることを特徴とする高耐圧半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、MOSFETからなる高耐圧半導体装置に関する。

## 【0002】

【従来の技術】近年、コンピュータや通信機器の重要な部分には、多数のトランジスタや抵抗等を電気回路を達成するようにむすびつけ、1チップ上に集積化して形成した集積回路（IC）が多用されている。このようなIC中で、高耐圧素子を含むものはパワーICと呼ばれている。パワーICの中でも駆動回路と制御回路とが一体化されたものは、ディスプレー駆動装置や車載用IC等、多くの用途に用いることができる。この種のパワーICの出力段に用いられるMOSFETには、高いドレイン耐圧と低いオン抵抗が要求される。

【0003】図8は、従来の出力段に用いられる高耐圧MOSFETの構造を示す素子断面図である。図中、71はp型半導体基板を示しており、このp型半導体基板71上には、高抵抗のn-型活性層72がエピタキシャル成長されている。このn-型活性層72の表面には、p型ベース層74aおよび低抵抗のp+型ベース層74bが選択的に形成されており、これらベース層74a、74bの表面には、n+型ソース層75が選択的に形成されている。p+型ベース層74bおよびn+型ソース層75にはソース電極78が設けられている。

【0004】また、n-型活性層72の表面には、n型オフセット層73が選択的に形成されており、このn型オフセット層73の表面には、n+型ドレイン層76が選択的に形成されている。このn+型ドレイン層76には、ドレイン電極79が設けられている。

【0005】また、n+型ドレイン層76とn+型ソース層75とで挟まれた領域上には、ゲート酸化膜81を介して、フィールドプレートを有するゲート電極80が

設けられている。

【0006】このように構成された高耐圧MOSFETによれば、n+型ドレイン層76がn型オフセット層73内に形成されているため、通常のMOSFETに比べて耐圧が高くなる。

【0007】しかしながら、この種の高耐圧MOSFETにあっては、p型半導体基板71とn-型活性層72とによるpn接合分離が行なわれているが、素子間を十分に絶縁分離できず、ノイズに対して弱いなどの問題があつた。

【0008】更に、ハイサイド・スイッチとして用いた場合、オン状態においては、p型半導体基板71とn+ドレイン層76との間に電源電位が印加されるので、p型半導体基板71とn-型活性層72との接合部から上下方向に空乏層が広がり、オン抵抗が高くなるという問題があつた。

## 【0009】

【発明が解決しようとする課題】上述の如く、従来の高耐圧MOSFETは、必要な耐圧は確保できたが、素子間の絶縁分離が不十分であった。また、ハイサイド・スイッチとして用いた場合には、素子内に空乏層が広がり、オン抵抗が高くなるという問題があつた。

【0010】本発明は、上記事情を考慮してなされたもので、その目的とするところは、耐圧、絶縁分離およびオン抵抗を同時に改善できる高耐圧半導体装置を提供することにある。

## 【0011】

【課題を解決するための手段】上記の目的を達成するために、本発明の高耐圧半導体装置は、表面が絶縁層である基板上に高抵抗半導体層と、この高抵抗半導体層の表面に選択的に形成された第1導電型ベース層と、この第1導電型ベース層の表面に選択的に形成された第1の第2導電型半導体層と、前記高抵抗半導体層の表面に選択的に形成され、前記絶縁層に達しない第2導電型オフセット層と、この第2導電型オフセット層の表面に選択的に形成された第2の第2導電型半導体層と、前記第1の第2導電型半導体層と前記第2の第2導電型半導体層との間の領域上にゲート絶縁膜を介して設けられたゲート電極とを備え、前記第2導電型オフセット層は、その拡散深さが1～2μmで、そのドーズ量が2～3×10<sup>12</sup>cm<sup>-2</sup>であることを特徴とする。

## 【0012】

【作用】本発明によれば、絶縁層上に素子を形成しているので、従来のpn接合分離よりも確実に素子間を分離できる。更に、本発明者等の研究によれば、上記の如きに第2導電型オフセット層の不純物濃度および深さを選べば、耐圧およびオン抵抗について良好な結果が得られることが分かった。したがって、本発明によれば、絶縁分離、耐圧およびオン抵抗を同時に改善できる。

## 【0013】

【実施例】以下、図面を参照しながら実施例を説明する。図1は、本発明の第1の実施例に係わる高耐圧MOSFETの素子構造を示す素子断面図である。

【0014】図中、1は半導体基板を示しており、この半導体基板1上には、絶縁層2を介して、高抵抗のp-型活性層3が設けられている。このp-型活性層3は、例えば、エピタキシャル成長法により形成する。このp-型活性層3の表面には、パンチスルー防止用の低抵抗のp+型ベース層4a、およびpチャネル形成用のp型ベース層4bが選択的に形成されており、これらベース層4a、4bの表面には、n+型ソース層5が選択的に形成されている。p+型ベース層4bおよびn+型ソース層5にはソース電極8が設けられている。

【0015】また、p-型活性層3の表面には、n型オフセット層7が選択的に形成されている。このn型オフセット層7は、例えば、ドーズ量 $2 \sim 5 \times 10^{12} \text{ cm}^{-2}$ の条件でドナーとなるイオンを注入した後、熱処理によって浅い拡散を行なって形成する。このn型オフセット層7の表面には、n+型ドレイン層6が選択的に形成されている。このn+型ドレイン層6にはドレイン電極9が設けられている。

【0016】また、n+型ソース層5とn-型ドレイン層6とで挟まれた領域上には、厚さ15nm程度のゲート酸化膜11を介してゲート電極10が設けられている。このゲート電極10はフィールドプレートを有し、このフィールドプレートはゲート部のドレイン端における電界を弱める働きを行なっている。

【0017】このように構成された高耐圧MOSFETによれば、n+型ドレイン層6がn型オフセット層7内に形成されているため、通常のMOSFETに比べて耐圧が高くなるのは勿論のこと、半導体基板1上に絶縁層2を介して素子が形成され、つまり、SOI基板上に素子が形成されているので、従来に比べて、素子間の分離が完全なものになる。

【0018】更に、上記の如きにn型オフセット層7の不純物濃度および深さを選んでいるので、耐圧およびオン抵抗の両方を改善できる。図5、図6は、そのことを示す実験データである。

【0019】図5は、拡散深さをパラメータとしたときのオフセット領域へのドーズ量と耐圧との関係を示す特性図である。この図5からドーズ量が $3 \times 10^{12} \text{ cm}^{-2}$ 以上になると耐圧は拡散深さによらずに急激に低下する。また、拡散深さが $1 \mu\text{m}$ 以下だと耐圧のピークも低く、最適なドーズ量の領域も狭い。したがって、必要な耐圧を得るためにには少なくとも $1 \mu\text{m}$ 、より好ましくは $1.5 \mu\text{m}$ 以上の拡散深さが必要である。そして、ドーズ量が $2 \sim 3 \times 10^{12} \text{ cm}^{-2}$ の範囲にあれば、十分な耐圧を得ることが可能である。

【0020】図6はドーズ量を $2.7 \times 10^{12} \text{ cm}^{-2}$ としたときの拡散深さとオン抵抗との関係を示す特性図で

ある。この図6より拡散深さ $1.5 \sim 2 \mu\text{m}$ までは深くなるにつれてオン抵抗が減少するがそれ以上になるとオン抵抗は増加することが分かる。

【0021】以上の結果をまとめると、n型オフセット層7は、拡散深さが $1 \sim 2 \mu\text{m}$ 、ドーズ量が $2 \sim 3 \times 10^{12} \text{ cm}^{-2}$ であれば、オン抵抗および耐圧の改善について両立できる。

【0022】図7に、p型基板の濃度をパラメータとしたときのドーズ量と耐圧との関係を示す特性図を示しておく。ドーズ量を増やしていくと、大体 $2 \times 10^{12} \text{ cm}^{-2}$ を越えると急速に耐圧は低下する。p型基板の濃度を上げていくと、耐圧が低下するドーズ量を増やすことができ、オン抵抗の低減が図れる。しかし、p型基板の濃度が $1 \times 10^{16} \text{ cm}^{-2}$ を越えると耐圧が低下するので、p型基板の濃度は $1 \times 10^{16} \text{ cm}^{-2}$ 付近が良い。

【0023】以上述べたように本実施例によれば、SOI基板の採用と、n型オフセット層7の最適化により、ハイサイド・スイッチングに用いても、オン抵抗を上げること無く、高いドレイン耐圧を達成できる高耐圧MOSFETが得られる。

【0024】図2は、本発明の第2の実施例に係わる高耐圧MOSFETの素子構造を示す素子断面図である。本実施例の高耐圧MOSFETが先の実施例のそれと異なる点は、n型オフセット層7aがp+型ベース層4bの下部にまで延びていることにある。このようなn型オフセット層7aは、基板全面に対してイオン注入を行なうことにより、容易に作成できる。このように構成された高耐圧MOSFETでも、先の実施例のそれと同様な効果が得られる。

【0025】図3は、本発明の第3の実施例に係わる高耐圧MOSFETの素子構造を示す素子断面図である。本実施例の高耐圧MOSFETが第1の実施例のそれと異なる点は、n型オフセット層7bの濃度プロファイルにある。すなわち、n型オフセット層7bの濃度ピークが表面よりも深い位置にある。このようなn型オフセット層7bは、加速エネルギーを高くしてイオン注入すれば形成できる。また、n型オフセット層7bの濃度ピークが深くなるので、n+ドレイン層6aも深く形成してある。

【0026】本実施例によれば、表面よりも深い領域に電流が流れるため、表面抵抗の影響を受けなくなり、耐圧を保ったまま更にオン抵抗を低くできる。図4は、本発明の第4の実施例に係わる高耐圧MOSFETの素子構造を示す素子断面図である。

【0027】本実施例の高耐圧MOSFETが第1の実施例のそれと異なる点は、ゲートおよびフィールドプレートのエッジ部のn型オフセット層7cのn型不純物濃度が、他の部分のn型オフセット層7のそれよりも低くなっていることにある。このようなn型オフセット層7cは、例えば、n型オフセット層7cの部分にマスクをつ

## 5

けてイオン注入を行なえば形成できる。

【0028】本実施例によれば、n型オフセット層7cがガードリングとして機能するので、オフセット層7のn型不純物の濃度を高くできる。このため、オフセット層7の総ドーズ量を増加できるので、耐圧を保ったまま更にオン抵抗を低くできる。

【0029】なお、n型オフセット層7cの代わりに、低濃度のp-型半導体層を用いても良い。以上四つの実施例について説明したが、本発明は上述した実施例に限定されるものではない。

【0030】例えば、ソース層、ドレイン層その他の半導体層の導電型を全て逆導電型にしても良い。なお、活性層の導電型は、他の半導体層の導電型に関係なく、p型およびn型のどちらでも良い。また、上記実施例を組み合わせても良い。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

## 【0031】

【発明の効果】以上詳述したように本発明によれば、耐圧を保ったまま、絶縁分離およびオン抵抗を改善できる高耐圧MOSFETが得られる。

## 【図面の簡単な説明】

【図1】本発明の第1の実施例に係る高耐圧MOSFETの素子構造を示す素子断面図

【図2】本発明の第1の実施例に係る高耐圧MOSFETの素子構造を示す素子断面図

## 6

\* 【図3】本発明の第1の実施例に係る高耐圧MOSFETの素子構造を示す素子断面図

【図4】本発明の第1の実施例に係る高耐圧MOSFETの素子構造を示す素子断面図

【図5】ドーズ量と耐圧との関係を示す特性図

【図6】拡散深さとオン抵抗との関係を示す特性図

【図7】p型基板の濃度をパラメータとしたドーズ量と耐圧との関係を示す特性図

【図8】従来の出力段に用いられる高耐圧MOSFETの構造を示す素子断面図

## 【符号の説明】

1 …半導体基板

2 …絶縁層

3 …p-型活性層（高抵抗半導体層）

4a …p+型ベース層（第1導電型ベース層）

4b …p型ベース層（第1導電型ベース層）

5 …n+型ソース層（第1の第2導電型半導体層）

6, 6a …n+型ドレイン層（第2の第2導電型半導体層）

7, 7a, 7b, 7c …n型オフセット層（第2導電型オフセット層）

8 …ソース電極

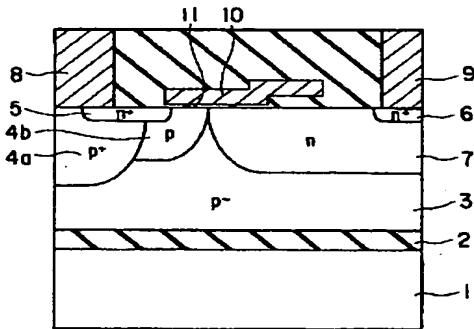
9 …ドレイン電極

10 …ゲート電極

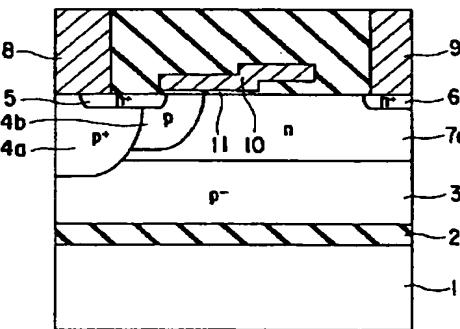
11 …ゲート酸化膜

\*

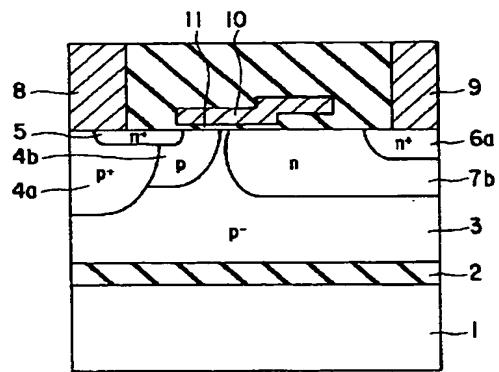
【図1】



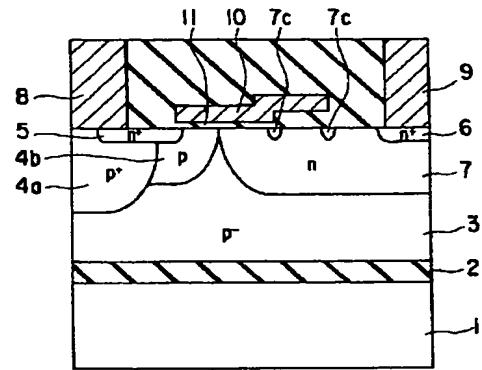
【図2】



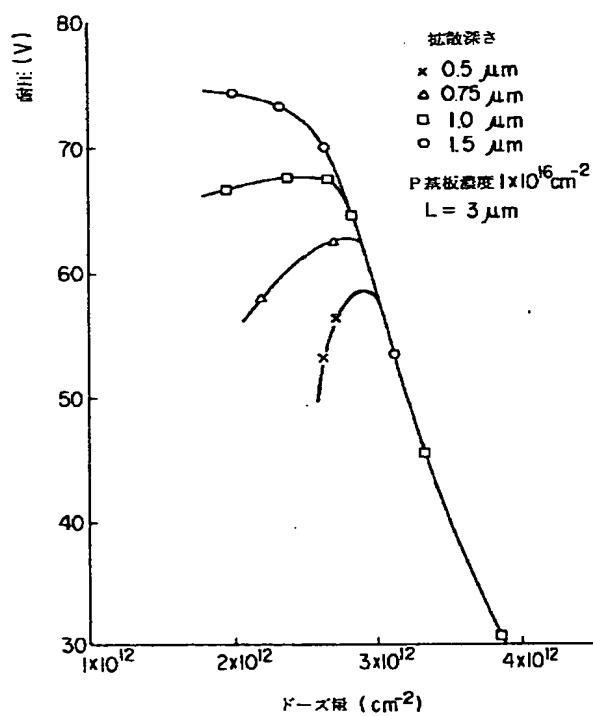
【図3】



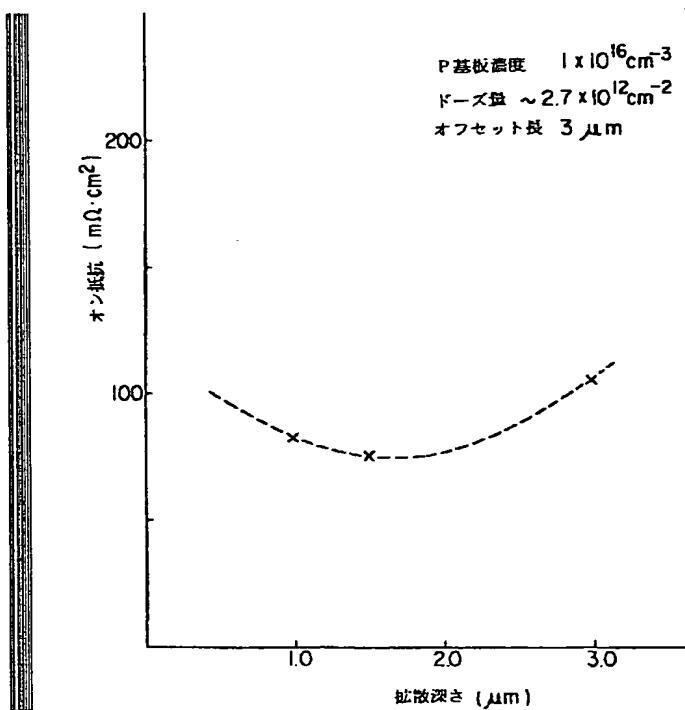
【図4】



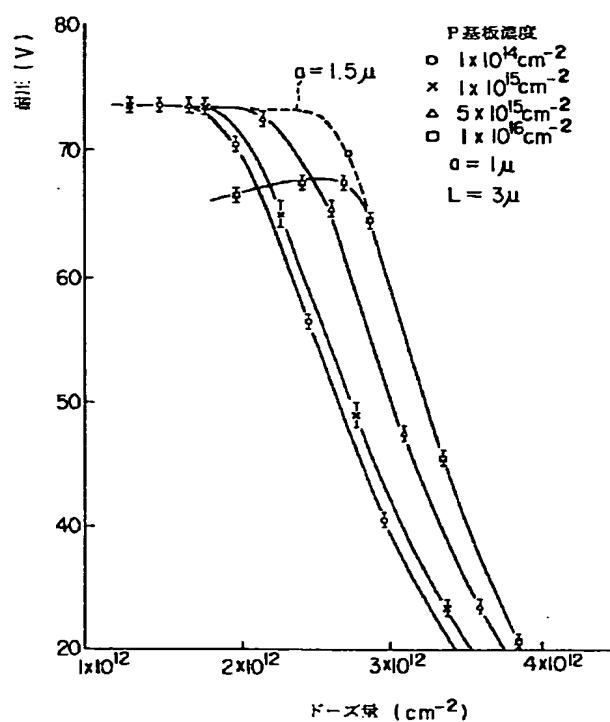
【図5】



【図6】



【図 7】



【図 8】

